

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-200709

(43)Date of publication of application : 11.08.1989

(51)Int.Cl.

H03G 3/20

(21)Application number : 63-022816

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 04.02.1988

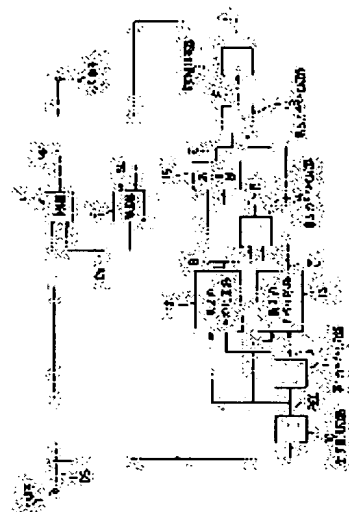
(72)Inventor : KAMOSHITA TOMOYUKI

## (54) DIGITAL AGC CIRCUIT

## (57)Abstract:

**PURPOSE:** To discriminate the level suitably and to allow the circuit to cope with a timewise faster level fluctuation by providing a full wave rectifier circuit and plural averaging circuits so as to match a value of a multi-value level to a prescribed level for each prescribed period.

**CONSTITUTION:** A digital signal DS having a multi-value level is inputted to a multiplier 4 and a full wave rectifier circuit 10. The rectified output is inputted to an averaging circuit 11, where a mean value with a peak level of a rectified signal is calculated for each prescribed period. An averaging circuit 12 calculates a means value of a peak level larger than that of the mean value of the rectified signal and an averaging circuit 13 calculates a means value of a peak level smaller than that of the mean value of the rectified signal. The mean value from the circuit 12 and the mean value of the mean values from the circuits 12, 13 are subtracted by a subtractor 15, the calculated value of the subtractor 15 and the mean value from the circuit 13 are average by an averaging circuit 16 and the result is given to an effective value detector 2. The detected output is inputted to a divider 3, where a setting value SL is divided. The output of the divider is inputted to a multiplier 4, from which a prescribed level MP is outputted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-200709

⑬ Int. Cl.<sup>4</sup>  
H 03 G 3/20

識別記号 庁内整理番号  
A-7210-5 J

⑭ 公開 平成1年(1989)8月11日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 デジタルA G C回路

⑯ 特 願 昭63-22816

⑰ 出 願 昭63(1988)2月4日

⑱ 発 明 者 鴨 下 友 幸 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑳ 代 理 人 弁理士 吉田 精孝

明 細 書

1. 発明の名称

デジタルA G C回路

2. 特許請求の範囲

入力信号の実効値を検波する実効値検波器と、  
予め設定した設定値を前記実効値で除算する除算器と、多値レベルを有する入力デジタル信号と前記除算器による除算値とを乗算する乗算器とを備えたデジタルA G C回路において、

前記入力デジタル信号を全波整流する全波整流回路と、

所定周期毎に前記整流信号のピークレベル値の平均値を算出する第1の平均化回路と、

前記整流信号の前記平均値より大きいピークレベル値の平均値を算出する第2の平均化回路と、

前記整流信号の前記第1の平均化回路による平均値より小さいピークレベル値の平均値を算出する第3の平均化回路と、

前記第2の平均化回路による平均値と前記第3の平均化回路による平均値との平均値を算出する

第4の平均化回路と、

前記第2の平均化回路による平均値と前記第4の平均化回路による平均値との減算値を算出する減算器と、

前記減算値と前記第3の平均化回路による平均値との平均値または加算値を算出し前記実効値検波器に出力する第5の平均化回路とを設けた

ことを特徴とするデジタルA G C回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、多値レベルを有するデジタル信号の雑音等によるレベル変動を抑制するためのデジタルA G C回路に関するものである。

(従来の技術)

第2図は、従来のデジタルA G C回路を示すブロック図である。第2図において、1は多値レベルを有するデジタル信号DSが入力される入力端子、2は入力デジタル信号DSの所定期間T毎の実効値Vを検波し出力する実効値検波器、3は予め設定された設定値SLを前記実効値Vで

除算し信号DVとして出力する除算器、4は入力した入力デジタル信号DSと除算器3の出力信号DVとを乗算し信号MPを出力端子5に出力する乗算器である。

第2図によれば、入力端子1から入力したデジタル信号DSは実効値検波器2及び乗算器4に inputsする。第3図は入力デジタル信号の一例を示す図で、第3図に示すようなアナログ的なデジタル信号DSを入力した場合、実効値検波器2は所定周期T毎の動作実効値Vを出力する。例えば、第3図に示すような周期T1の信号レベルV1の実効値は $V1/\sqrt{2}$ 、周期T2の信号レベルV2の実効値は $V2/\sqrt{2}$ となり、入力信号レベルの大きさに比例した実効値Vが出力されることになる。

次に除算器3において、設定値SLを実効値検波器2からの実効値Vで除算し信号DVを乗算器4に出力する。第4図は、実効値検波器2の出力レベル及び除算器3の出力レベルと入力デジタル信号DSの入力レベルとの関係を示す図であり

縦軸が出力レベル、横軸が入力レベルを表している。第4図から、入力デジタル信号DSのレベルと除算器3の出力信号DVのレベルとは反比例していることがわかる。

続いて、乗算器4において、入力デジタル信号DSと除算器3の出力信号DVとの乗算が行なわれ、その結果上述したように入力デジタル信号DSと出力信号DVとが反比例の関係にあるため、一定レベルの信号MPが出力端子5に出力される。このようにして、所定周期毎の入力デジタル信号レベルを一定にさせて雑音等による変動を除去していた。

(発明が解決しようとする課題)

しかしながら、上記回路によれば、多値レベルのアナログ的なデジタル信号DSを実効値検波器2の入力としているので、実効値検波のための所定周期毎のデータ値の内容が異なった場合でも、所定周期毎の実効値検波として検出してしまい、多値のレベル判定ができなくなるという問題点があった。またレベル変動をおさえる方法と

- 3 -

して、前記周期を広げることにより、周期毎のデータ値の内容を同一にする方法をとっていたが、この方法では速いレベル変動に対しては、変動を抑止することができないという問題点があった。

本発明の目的は、上記問題点に鑑み、多値レベルのレベル判定を的確に行なえ、時間的に速い雑音等によるレベル変動に対してもレベル変動を抑止することができるデジタルAGC回路を提供することにある。

(課題を解決するための手段)

本発明は、上記目的を達成するため、入力信号の実効値を検波する実効値検波器と、予め設定した設定値を前記実効値で除算する除算器と、多値レベルを有する入力デジタル信号と前記除算器による除算値とを乗算する乗算器とを備えたデジタルAGC回路において、前記入力デジタル信号を全波整流する全波整流回路と、所定周期毎に前記整流信号のピークレベル値の平均値を算出する第1の平均化回路と、前記整流信号の前記平均値より大きいピークレベル値の平均値を算出する

- 4 -

第2の平均化回路と、前記整流信号の前記第1の平均化回路による平均値より小さいピークレベル値の平均値を算出する第3の平均化回路と、前記第2の平均化回路による平均値と前記第3の平均化回路による平均値との平均値を算出する第4の平均化回路と、前記第2の平均化回路による平均値と前記第4の平均化回路による平均値との減算値を算出する減算器と、前記減算値と前記第3の平均化回路による平均値との平均値または加算値を算出し前記実効値検波器に出力する第5の平均化回路とを設けた。

(作用)

本発明によれば、まず多値レベルを有するデジタル信号は乗算器及び全波整流回路に入力する。全波整流回路では入力デジタル信号は全波整流され、整流信号として第1、第2及び第3の平均化回路に出力される。これにより第1の平均化回路では所定周期毎に整流信号のピークレベル値の平均値が算出され、この平均値は第2及び第3の平均化回路に出力される。第2の平均化回路では

- 5 -

- 6 -

整流信号の入力した平均値よりも大きいピークレベル値の平均値が算出され、この第2の平均化回路による平均値は第4の平均化回路及び減算器に出力される。一方、第3の平均化回路では整流信号の入力した平均値よりも小さいピークレベル値の平均値が算出され、この第3の平均化回路による平均値は第4の平均化回路及び第5の平均化回路に出力される。第4の平均化回路では、第2の平均化回路による平均値と、第3の平均化回路による平均値の平均値が算出され、この第4の平均化回路による平均値は減算器に出力され、減算器では第2の平均化回路による平均値と第4の平均化回路による平均値との減算が行なわれ、この減算値が第5の平均化回路に出力される。第5の平均化回路では入力した減算値と第3の平均化回路による平均値との平均値または加算値が算出され、この第5の平均化回路による平均値または加算値は実効値検波器に出力される。続いて実効値検波器で実効値が検出され、除算器でこの実効値で予め設定してある設定値が除算され、乗算器におい

て除算器による除算値と入力デジタル信号の乗算が行なわれることにより、一定レベルの信号が出力されることになる。

(実施例)

第1図は、本発明によるデジタルAGC回路の一実施例を示すブロック図であって、前述した従来例を示す第2図と同一構成のものは同一符号をもって表す。即ち、1は入力端子、2は実効値検波器、3は除算器、4は乗算器、5は出力端子である。

10は全波整流回路で、入力端子1から入力した多値レベルを有するデジタル信号DSを全波整流し整流信号RECとして出力する。

11は第1の平均化回路で、所定周期T毎に全波整流回路10よりの整流信号RECのピークレベル値の平均値を算出し、スレッシュールドAとして出力する。

12は第2の平均化回路で、全波整流回路10よりの整流信号RECと第1の平均化回路11よりのスレッシュールドAとの比較を行ない、周期T

- 7 -

毎の整流信号RECのスレッシュールドAよりも大きいピークレベル値の平均値 $\bar{B}$ を算出する。

13は第3の平均化回路で、全波整流回路10よりの整流信号RECと第1の平均化回路11よりのスレッシュールドAとの比較を行ない、周期T毎の整流信号RECのスレッシュールドAよりも小さいピーク値の平均値 $\bar{C}$ を算出する。

14は第4の平均化回路で、第2の平均化回路12による平均値 $\bar{B}$ と第3の平均化回路13による平均値 $\bar{C}$ との平均値 $\bar{D}$ を算出する。

15は減算器で、第2の平均化回路12による平均値 $\bar{B}$ から第4の平均化回路14による平均値 $\bar{D}$ を減算し減算値 $\bar{E}$  ( $\bar{B} - \bar{D}$ ) を算出する。

16は第5の平均化回路で、減算器15による減算値 $\bar{E}$ と第3の平均化回路13による平均値 $\bar{C}$ との平均値 $\bar{F}$ を算出し実効値検波器2に出力する。

第5図は入力デジタル信号DSを説明するための図で、第6図は第5図に示した信号DSの全波整流回路10による整流信号RECを示す図であり、次にこれら第5図、第6図及び前記第1図

- 8 -

に基づいて、上記構成による回路の動作を説明する。

まず、第5図に示すような、レベル“1”のときデジタル値“0”、レベル“3”のときデジタル値“1”を示すデジタル信号DSは入力端子1を介して減算器4及び全波整流回路10に入力する。全波整流回路10に入力したデジタル信号DSは、第6図に示すようにマイナス波形がプラス波形とされ、即ち全波整流され整流信号RECとして、第1、第2及び第3の平均化回路11、12及び13に出力される。第1の平均化回路11は第6図に示すように、入力した整流信号RECのピークレベル値a～fの平均値を算出し、スレッシュールドAとして第2及び第3の平均化回路12及び13に出力する。これにより、第2の平均化回路12は周期Tにおける整流信号RECのスレッシュールドAよりも大きいピーク値a, bの平均値 $\bar{B}$ を算出し、この平均値 $\bar{B}$ を第4の平均化回路14及び減算器15に出力する。一方、第3の平均化回路13は、周期Tにおける整流信

- 9 -

- 10 -

号 REC のスレッシュホールド A よりも小さいピークレベル値  $c, d, e, f$  の平均値  $\overline{C}$  を算出し、この平均値  $\overline{C}$  を第 4 及び第 5 の平均化回路 14 及び 16 に出力する。

次に、第 4 の平均化回路 14 は、第 2 の平均化回路 11 による平均値  $\overline{B}$  と第 3 の平均化回路 12 による平均値  $\overline{C}$  との平均値  $\overline{D}$  を算出し、2 値レベル "3", "1" の中間値を示す平均値  $\overline{D}$  を減算器 15 に出力する。減算器 15 は平均値  $\overline{D}$  を入力すると平均値  $\overline{B}$  から平均値  $\overline{D}$  を減算し、スレッシュホールド A よりも小さいピークレベル値の平均値、即ちレベル 1 と同等レベルの平均値を示す減算値  $\overline{E}$  を第 5 の平均化回路 16 に出力する。これに伴ない、第 5 の平均化回路 16 は減算値  $\overline{E}$  と第 3 の平均化回路 12 による平均値  $\overline{C}$  との平均値  $\overline{F}$  を算出し、実効値検波器 2 に出力する。

この第 5 の平均化回路 16 による平均値  $\overline{F}$  は、周期 T 間で入力デジタル信号 DS のレベルが、例えば、ピークレベル値がレベル "3" しか取らない場合、またはレベル "1" しか取らない場合

でも不変であり、しかもデジタル信号 DS の入力レベルに比例した値となっている。

以降の動作は従来例で説明したように、実効値検波器 2 による実効値 V が除算器 3 に入力され、除算器 3 で設定値 SL が実効値 V で除算され、入力デジタル信号 DS の入力レベルに反比例した信号 DV が乗算器 4 に入力され、この信号 DV と入力デジタル信号 DS との乗算が行なわれる。これにより、一定レベルの信号 MP が出力端子 5 から出力されることになる。

尚、本実施例では第 5 の平均化回路において、減算値  $\overline{E}$  と平均値  $\overline{C}$  との平均値を算出するようにしたが、これら減算値  $\overline{E}$  と平均値  $\overline{C}$  との加算値を算出し出力するようにしても勿論良い。

(発明の効果)

以上説明したように、本発明によれば、多値レベルを有するデジタル信号のデータ値が、所定周期毎の多値レベルの値として平均値が異なった場合でも、所定周期毎の多値レベルの値をある一定レベルに合わせることにによりデータ値によらな

- 11 -

- 12 -

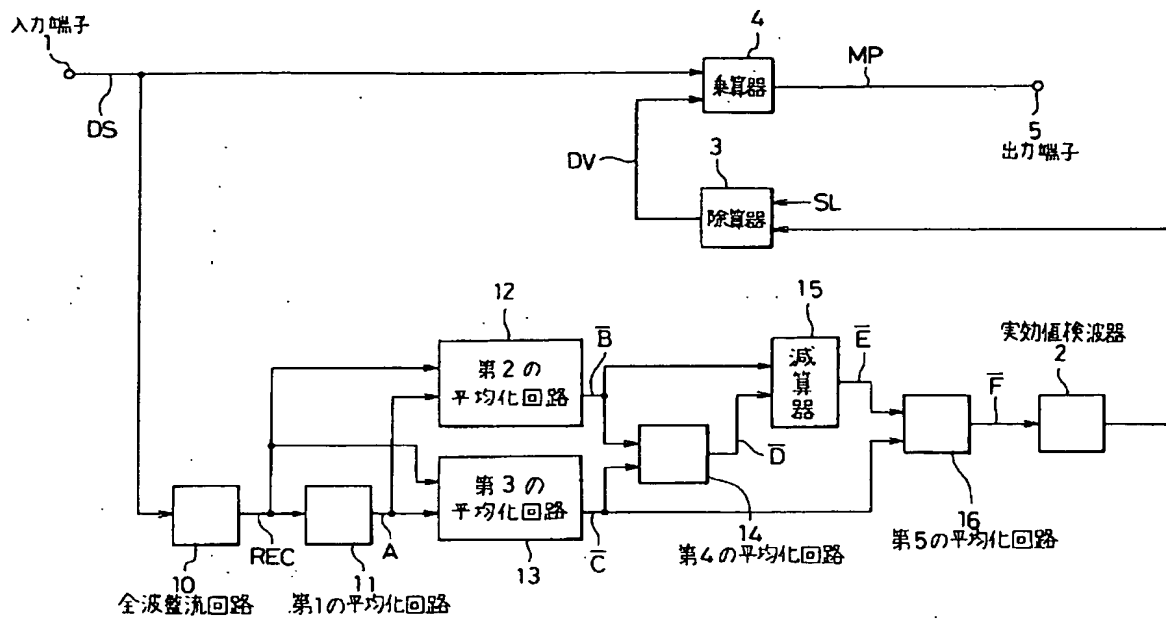
い平均値とすることができるので、例えば所定周期毎のデータ値が異なっても的確にレベル判定ができ、しかも周期も自由に設定できるので、時間的に速いレベル変動に対しても十分対応できる優れたデジタル AGC 回路を提供できる利点がある。

#### 4. 図面の簡単な説明

第 1 図は本発明によるデジタル AGC 回路の一実施例を示すブロック図、第 2 図は従来のデジタル AGC 回路を示すブロック図、第 3 図は入力デジタル信号の一例を示す図、第 4 図は実効値検波器、除算器の出力レベルと入力デジタル信号レベルとの関係を示す図、第 5 図は入力デジタル信号を説明するための図、第 6 図は入力デジタル信号の全波整流波形を示す図である。

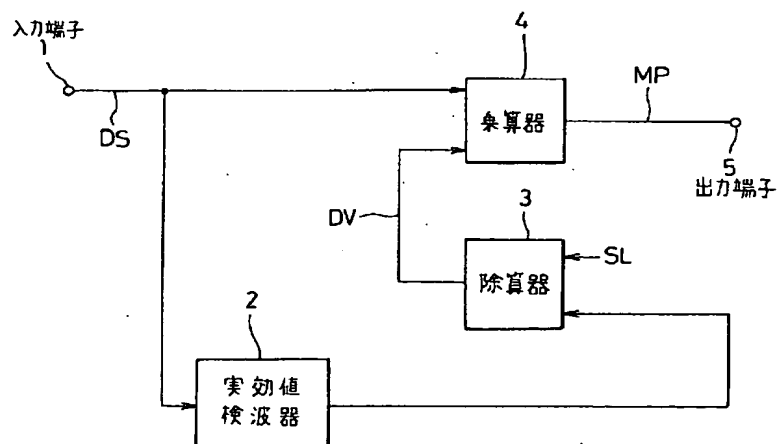
図中、1…入力端子、2…実効値検波器、3…除算器、4…乗算器、5…出力端子、10…全波整流回路、11…第 1 の平均化回路、12…第 2 の平均化回路、13…第 3 の平均化回路、14…第 4 の平均化回路、15…減算器、16…第 5 の平均化回路。

- 13 -



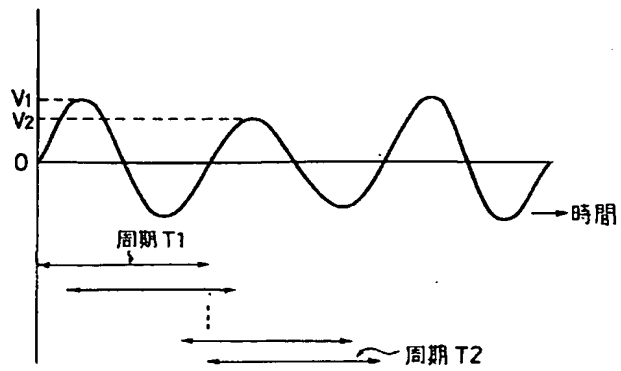
本発明によるデジタルAGC回路の実施例を示すブロック図

第1図



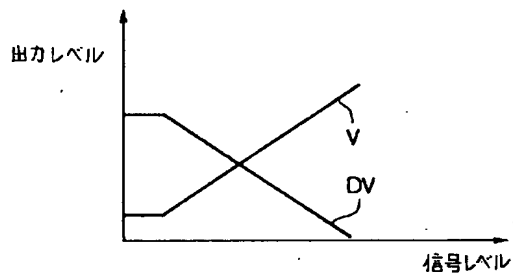
従来のデジタルAGC回路を示すブロック図

第2図



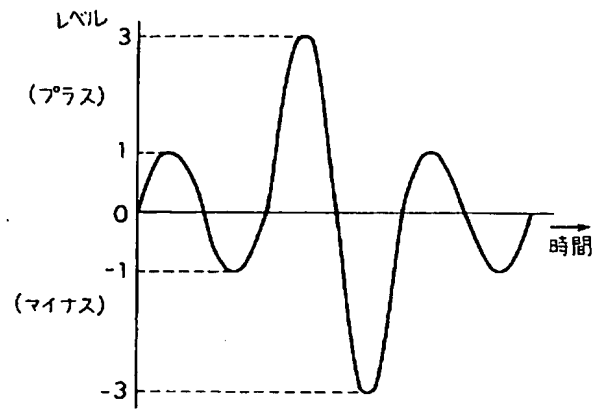
入力デジタル信号の一例を示す図

第3図



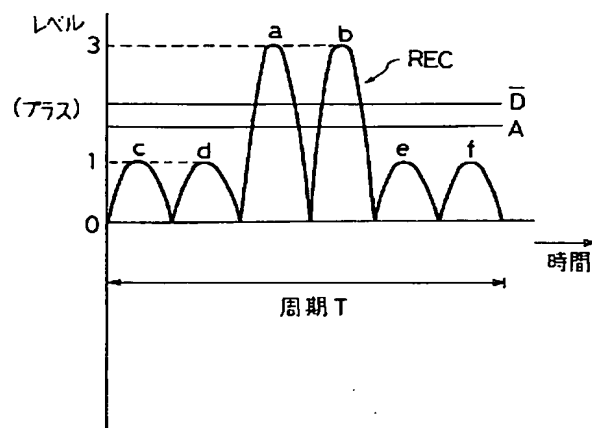
実効値V、信号DVのレベルと信号DSのレベルの関係を示す図

第4図



デジタル信号DSを説明するための図

第5図



デジタル信号DSの全波整流波形を示す図

第6図